

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020047889 A  
(13)Date of publication of application: 22.06.2002

(21)Application number: 1020000076528

(71)Applicant: SAMSUNG SDI CO., LTD.

(22)Date of filing: 14.12.2000

(72)Inventor: KIM, HYE DONG  
KWON, JEONG HYEON

(51)Int. Cl

H05B 33/14

## (54) ORGANIC LIGHT EMITTING DEVICE AND MANUFACTURING METHOD THEREOF

## (57) Abstract:

PURPOSE: An organic light emitting device and a manufacturing method thereof are provided to increase the aperture ratio of the organic light emitting device by separately manufacturing a display substrate and a driving circuit substrate and assembling them.

CONSTITUTION: A driving circuit substrate(500) includes a first substrate, a first display power processing unit which is formed on a predetermined position of the first substrate and supplies a first display power necessary for a display, and a power applying pad which is connected to an output terminal of the first display power processing unit and receives the first display power. A display substrate(900) is comprised of a second substrate, a first transparent electrode(310) which is formed on the substrate and receives a second display power, an organic luminescence layer(640) which is formed on an upper surface of the first electrode(310) and generates light having predetermined frequency, and a second electrode which is formed on an upper surface of the organic luminescence layer(640) and electrically connected to the power applying pad.

&amp;copy; KIPO 2003

## Legal Status

Date of final disposal of an application (20021129)

Patent registration number (1003655190000)

Date of registration (20021206)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. 7

H05B 33/14

(45) 공고일자 2002년12월18일

(11) 등록번호 10-0365519

(24) 등록일자 2002년12월06일

---

(21) 출원번호

10-2000-0076528

(65) 공개번호

특2002-0047889

(22) 출원일자

2000년12월14일

(43) 공개일자

2002년06월22일

---

(73) 특허권자

삼성에스디아이 주식회사  
경기 수원시 팔달구 신동 575번지

(72) 발명자

김혜동  
경기도 성남시 분당구 구미동 211  
권정현  
경기도 수원시 팔달구 원천동 원천 2주 공 212동 203호

(74) 대리인

박상수

심사관 : 민경신

---

(54) 유기 전계발광 디바이스 및 이의 제조 방법

---

요약

본 발명은 전면 발광 구조를 가지는 AM(Active Matrix) 구동 방식의 OLED (Organic Light Emitting Device)에 관한 것으로, 특히 개구율(aperture ratio)의 극대화 구조, 유기 전계발광 물질의 열화를 촉진시키는 산소 및 물로부터 유기 물질의 열화를 방지하는 메탈 캔이 필요 없음으로써 디스플레이 성능 향상과 함께 경박 단소화가 가능한 구조를 갖는 유기 전계발광 디바이스 및 이의 제조 방법에 관한 것으로, 본 발명에 의하면 디스플레이 기판과 구동 회로 기판을 개별적으로 제작한 후 어셈블리 할 수 있음으로 종래 TFT 및 커패시턴스에 의하여 낮았던 개구율을 극대화시킬 수 있으며, 유기 발광층이 수분 및 산소로부터 열화 되는 것을 방지하기 위해 필요하면 메탈 캔이 불필요하며, 후면 발광 구조가 아닌 전면 발광 구조를 채용할 수 있음은 물론 개구율을 향상시키기 위해 제약받던 TFT 및 커패시턴스의 배치 및 크기 제약이 극소화되어 TFT 및 커패시턴스의 불량률을 극소화할 수 있다.

대표도  
도 18

색인어  
유기 전계발광 디바이스, 디스플레이 기판, 구동 회로 기판

명세서

도면의 간단한 설명

도 1 또는 도 2는 본 발명에 의한 구동 회로 기판에 제 1, 제 2 TFT의 제 1, 제 2 반도체층을 도시한 공정도.

도 3 또는 도 4는 본 발명에 의한 제 1, 제 2 반도체층의 상면에 게이트 절연막이 형성된 것을 도시한 공정도.

도 5 또는 도 6은 본 발명에 의하여 게이트 절연막의 상면에 게이트 메탈층이 형성된 상태에서 제 1, 제 2 게이트 및 충전용 커파시턴스의 제 1 전극이 형성된 것을 도시한 공정도.

도 7 또는 도 8은 본 발명에 의하여 소오스/드레인 절연층이 형성된 것을 도시한 공정도.

도 9 또는 도 10은 본 발명에 의하여 콘택홀이 형성된 것을 도시한 공정도.

도 11 또는 도 12는 본 발명에 의하여 소오스/드레인 절연층의 상면에 소오스 전극, 드레인 전극, 제 2 전극이 형성된 것을 도시한 공정도.

도 13 또는 도 14는 본 발명에 의하여 평탄막이 형성된 것을 도시한 공정도.

도 15 또는 도 16은 제 2 TFT의 드레인 전극에 해당하는 평탄막에 콘택홀이 형성된 후 인터페이스 패드가 형성된 것을 도시한 공정도.

도 17은 본 발명에 의한 디스플레이 기판의 단면도.

도 18은 본 발명에 의한 디스플레이 기판 및 구동 회로 기판이 조립된 상태의 일부를 도시한 단면도.

도 19는 본 발명에 의한 구동 회로 기판의 동가회로.

도 20은 본 발명에 의한 디스플레이 기판 및 구동 회로 기판의 전체조립 상태를 도시한 단면도.

도 21은 본 발명에 의한 구동 회로 기판의 인터페이스 패드의 상면에 범프 패드가 형성된 것을 도시한 사시도.

도 22 내지 도 25는 본 발명에 의한 디스플레이 기판의 다른 실시예를 도시한 공정도.

도 26 또는 도 27은 본 발명에 의한 디스플레이 기판 및 구동 회로 기판의 어셈블리 과정을 도시한 공정도.

도 28 내지 도 30은 본 발명에 의한 디스플레이 기판의 또 다른 실시예를 도시한 공정도.

도 31 또는 도 32는 본 발명에 의한 디스플레이 기판 및 구동 회로 기판의 어셈블리 과정을 도시한 공정도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 디바이스 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는 전면 발광 구조를 가지는 AM (Active Matrix) 구동 방식의 OLED (Organic Light Emitting Device)의 개구율(aperture ratio)의 극대화 구조, 유기 전계발광 물질의 열화를 촉진시키는 산소 및 물로부터 유기 물질의 열화를 방지하는 메탈 켄이 필요 없음으로써 디스플레이 성능 향상과 함께 경박 단소화가 가능한 구조를 갖는 유기 전계발광 디바이스 및 이의 제조 방법에 관한 것이다.

최근 들어, 반도체 기술의 개발이 비약적으로 이루어짐에 따라, 보다 작은 면적에 방대한 데이터를 집적 또는 방대한 데이터를 단 시간 내 처리할 수 있게 되었다.

이와 같은 반도체 기술의 발전에 비례하여 정보를 처리하여 결과를 출력하는 대부분 정보처리 기기의 성능이 급속히 향상되어 단위 시간 내에 방대한 양의 데이터를 신속하게 처리할 수 있게 되었다.

최근에는 이와 같은 정보처리 기기의 성능 향상과 함께 정보처리 기기에서 처리된 결과 데이터를 사용자가 인식할 수 있도록 정보처리 기기 – 사용자 사이에서 인터페이스 역할을 하는 디스플레이 장치의 개발 또한 급속히 진행되고 있는 실정이다.

최근까지 정보처리 기기에는 CRT 방식 디스플레이 장치(Cathode Ray Tube type display device), 액정표시장치(Liquid Crystal Display device, LCD)들이 보편적으로 사용되고 있으나, 최근 이들 CRT 방식 디스플레이 장치 및 액정표시장치의 단점은 보완되고, 장점은 모두 채용한 차세대 디스플레이 장치인 유기 전계발광 디바이스(Organic electroluminescence device, EL)가 개발, 보급되고 있다.

이와 같은 유기 전계발광 디바이스의 경우, 화면을 이루는 최소 단위인 화소를 개별 제어하는 것이 가능한 능동형 구동 방식인 AMOLED(Active Matrix Organic Light Emitting Diode)가 최근 주류를 이루고 있다.

이와 같은 장점을 갖는 AMOLED의 경우, 투명 기판에 반도체 박막 공정에 의하여 형성된 2 개의 제 1, 제 2 TFT(Thin Film Transistor), 충전용 커패시턴스 및 제 2 TFT의 출력단인 드레인에 지점 연결된 투명한 하부 전극, 하부 전극의 상면에 형성되어 소정 파장의 빛을 방출하는 유기 발광층, 유기 발광층의 상면을 포함하여 전면적에 걸쳐 알루미늄 채널 등으로 형성된 불투명한 상부 전극으로 구성된 "화소"를 형성한다.

이때, AMOLED의 경우 구조상 불투명한 상부 전극에 의하여 유기 발광층의 아래쪽으로 빛이 방출될 수밖에 없는 바, 이를 이하 "후면 발광 구조"라 정의하기로 하며, 빛이 방출되는 면을 전면, 빛이 방출되지 않는 면을 후면이라 정의하기로 한다.

한편, AMOLED 중 빛이 방출되지 않는 후면에는 유기 발광층이 산소 및 수분에 의하여 열화되는 것을 방지하는 메탈 켄이 인캡슐레이션(encapsulation)되어 유기 발광층의 열화를 방지한다.

그러나, 이와 같이 후면 발광 구조를 갖는 AMOLED의 경우 앞서 정의된 화소의 면적 중 대부분의 면적은 제 1, 제 2 TFT 및 충전용 커패시턴스가 차지하고, 화소 총 면적의 약 20%에 해당하는 면적에서 발생한 빛만이 사용자의 눈으로 입사된다.

이는 화소 면적 대비 발광 면적의 비(ratio)로 정의된 개구율(aperture ratio)이 약 20%에 불과하다는 것을 의미한다.

이로 인해 디스플레이 장치가 갖추어야 할 중요한 조건 중 하나인 고휘도 구현이 어려우며, 낮은 개구율로 고휘도를 구현하기 위해서는 유기 발광층에 가해지는 전류량을 증가시켜야 됨으로 소비전력이 증가되고, 이로 인해 재충전 시간이 짧아지는 등 휴대용 디스플레이 장치로 사용하기에 부적합한 문제점을 갖는다.

이와 같은 후면 발광 구조가 갖는 제약을 극복하기 위해서는 전면 발광 구조를 갖는 AMOLED 즉, 제 1, 제 2 TFT 및 충전용 커패시턴스의 상부로 빛이 방출되도록 해야 한다.

이를 위해서는 하부 전극을 불투명 전극, 예를 들면 메탈 바마 등을 사용하고 하부 전극의 상면에 유기 발광층을 형성한 상태에서 다시 유기 발광층의 상면에 투명한 상부 전극을 형성하여야 한다.

그러나, 이처럼 유기 발광층의 상면에 비교적 고온에서 형성되는 투명한 상부 전극을 형성할 경우 이미 형성된 유기 발광층의 손상이 발생하는 등 구현이 매우 어려워 전면 발광 구조의 구현이 용이하지 않은 문제점을 갖는다.

최근 전면 발광 구조를 구현하기 위하여 미합중국 특허 제 6,046,543호 "HIGH RELIABILITY, HIGH EFFICIENCY, INTEGRATABLE ORGANIC LIGHT EMITTING DEVICE AND METHODS OF PRODUCING SAME"에서는 전면 발광구조를 구현하기 위해 투명한 캐소드 구현법이 개시된 바 있다.

또한, 미합중국 특허 제 5,981,306호 "METHOD FOR DEPOSITING INDIUM THIN OXIDE LAYERS IN ORGANIC LIGHT EMITTING DEVICE"에는 전면 발광구조를 구현하기 위하여 매우 낮은 증착(deposition) 속도로 투명하면서 도전성인 ITO를 형성하는 방법이 개시된 바 있다.

또한, 미합중국 특허 제 5,739,545호 "ORGANIC LIGHT EMITTING DIODES HAVING TRANSPARENT CATHODE STRUCTURES"에도 투명한 캐소드 전극을 사용하여 전면 발광구조를 구현하기 위한 구조가 개시된 바 있다.

그러나, 이와 같이 개시된 방법들은 모두 증착 방법의 구현이 용이하지 못하며, 공정에 매우 긴 시간이 소요되며, 특성 제어가 어려운 또 다른 문제점을 갖는다.

또한, 종래 AMOLED의 구조에 의하면, 수분 및 산소에 열화되어 손상되기 쉬운 유기 물질을 보호하기 위하여 메탈 캔을 사용함으로써 유기 전계발광 디바이스의 전체적인 무게 및 부피가 증가되는 문제점을 갖는다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 이와 같은 종래 문제점을 감안한 것으로써, 본 발명의 목적은 기판에 투명한 하부 전극, 하부 전극의 상면에 유기 발광층, 유기 발광층의 상면에 불투명한 상부 전극을 형성하면서도 유기 전계발광 디바이스의 전면 발광 구조가 가능토록 함에 있다.

또한, 본 발명의 다른 목적은 실제 화소 면적과 빛이 방출되는 면적이 최대 동일하도록 즉, 개구율을 극대화하여, 고워도 구현 및 소비 전력을 크게 낮출 수 있도록 함에 있다.

본 발명의 또 다른 목적은 메탈 캔을 사용하지 않으면서도 유기 발광층의 열화가 발생하지 않도록 함에 있다.

본 발명의 또 다른 목적은 상세하게 후술될 본 발명의 상세한 설명에 의하여 보다 명확해질 것이다.

#### 발명의 구성 및 작용

이와 같은 본 발명의 목적을 구현하기 위한 본 발명에 의한 유기 전계발광 디바이스는 제 1 기판, 제 1 기판의 소정 위치에 형성되어 디스플레이에 필요한 제 1 디스플레이 전원을 외부로 공급하는 제 1 디스플레이 전원 처리수단, 제 1 디스플레이 전원 처리수단의 출력단에 일측 단부가 연결되어 제 1 디스플레이 전원이 공급되는 전원인가 패드를 포함하는 구동 회로 기판과, 제 2 기판, 제 2 기판에 형성되어 제 2 디스플레이 전원이 공급되는 투명한 제 1 전극, 제 1 전극의 상면에 형성되어 소정 파장의 빛을 발생시키는 유기 발광층, 유기 발광층의 상면에 형성되며 전원인가 패드와 전기적으로 접속되는 제 2 전극으로 구성된 디스플레이 기판을 포함한다.

또한, 본 발명의 목적을 구현하기 위한 본 발명에 의한 유기 전계발광 디바이스의 제조 방법은 소정 면적을 갖는 제 1 기판의 소정 위치에 디스플레이에 필요한 제 1 디스플레이 전원을 외부로 공급하는 제 1 디스플레이 전원 처리수단을 형성하는 단계, 제 1 디스플레이 전원 처리수단을 절연 부재에 의하여 절연시킨 상태에서 제 1 디스플레이 전원 처리수단의 출력단자를 절연부재의 상면으로 연장시켜 전원인가 패드를 형성하여 구동 회로 기판을 제작하는 단계 및 소정 면적을 갖는 투명한 제 2 기판에 제 1 전극을 형성하는 단계, 제 1 전극의 상면에 유기 발광층을 형성하는 단계, 유기 발

광중의 상면에 제 2 전극을 형성하여 디스플레이 기판을 제작하는 단계를 포함하며, 구동 회로 기판 및 디스플레이 기판을 진공 또는 불활성 가스로 충진된 환경에서 상호 얼라인먼트하여 디스플레이 기판의 제 2 전극 및 구동 회로 기판의 전원인가 패드를 가압하여 상호 밀착시키는 단계와, 제 1 기판 및 제 2 기판의 에지에 접착 물질을 도포하여 실링(sealing)을 수행하는 단계를 포함한다.

또한, 본 발명의 목적을 구현하기 위한 본 발명에 의한 유기 전계발광 디바이스의 제조 면적을 갖는 제 1 기판의 소정 위치에 디스플레이에 필요한 제 1 디스플레이 전원을 외부로 공급하는 제 1 디스플레이 전원 처리수단을 형성하는 단계, 제 1 디스플레이 전원 처리수단을 절연 부재에 의하여 절연시킨 상태에서 제 1 디스플레이 전원 처리수단의 출력단자를 절연부재의 상면으로 연장시켜 전원인가 패드를 형성하는 단계, 전원인가 패드의 상면에 도전성 범프 패드를 형성하여 구동 회로 기판을 제작하는 단계 및 소정 면적을 갖는 투명한 제 2 기판에 제 1 전극을 형성하는 단계, 제 1 전극의 상면에 유기 발광층을 형성하는 단계, 유기 발광층의 상면에 제 2 전극을 형성하는 단계, 제 2 전극만이 노출되도록 보호막을 형성하여 디스플레이 기판을 제작하는 단계를 포함하며, 디스플레이 기판 중 보호막이 형성된 일측면, 구동 회로 기판 중 도전성 범프 패드가 형성된 일측면 중 어느 하나에 도전성 접착물질을 형성하는 단계와, 도전성 범프 패드와 제 2 전극 사이에 전자의 흐름이 발생하도록 도전성 접착 물질을 변형시키는 단계를 포함한다.

이하, 본 발명에 의한 유기 전계발광 디바이스의 제작 방법을 첨부된 도면을 참조하여 설명하기로 하며, 유기 전계발광 디바이스의 구성은 유기 전계발광 디바이스의 제작 방법을 설명하는 과정을 통하여 상세하게 설명하기로 한다.

본 발명에 의한 유기 전계발광 디바이스를 제작하기 위해서는 2 개의 개별 공정에 의하여 유기 발광층을 포함하는 디스플레이 기판(Display Substrate;900) 및 디스플레이 전원을 유기 발광층에 공급하는 구동 회로 기판(Driving Circuit Substrate;500)을 각각 개별 제작한 후 이를 조립하여 제작하는 방법이 사용된다.

먼저, 첨부된 도 1 내지 16, 도 19를 참조하여 구동 회로 기판을 제작하는 방법을 설명한 후, 도 17을 참조하여 디스플레이 기판을 형성하는 과정을 설명한 후 도 18 또는 도 20 이하를 참조하여 이들의 조립 공정을 설명하기로 한다.

구동 회로 기판(500)에 하나의 단위 화소를 형성하기 위해서는 첨부된 도 19의 단위 등가회로 대로 베이스 기판에 2 개의 TFT(Thin Film Transistor) 및 1 개의 충전용 커패시턴스, TFT를 턴-온 시키는 바이어스를 공급하는 게이트 라인 및 영상 신호대로 정보처리 기기의 영상신호처리장치(예를 들면, VGA 카드)로부터 앤코딩된 영상 신호가 전류 형태로 공급되는 데이터 라인을 형성해야 한다.

이하, 도 19에 도시된 2 개의 TFT 및 커패시턴스를 각각 "제 1 TFT(100)", "제 2 TFT(200)" 및 "충전용 커패시턴스(300)"라 정의하기로 한다.

먼저, 도 19의 등가회로에 따라서 제 1 TFT(100), 제 2 TFT(200), 충전용 커패시턴스(300)를 형성하기 위해서는 먼저, 도 1에 도시된 바와 같이 소정 면적을 갖는 베이스 기판(base substrate;400)의 일측면 전면적에 걸쳐 소정 두께로 버퍼층(buffer layer;410)을 형성한다.

이때, 버퍼층(410)은 소정 물질로 제작된 베이스 기판(400)으로부터 이후 베이스 기판(400)에 형성될 제 1, 제 2 TFT(100,200) 및 충전용 커패시턴스(300)에 영향을 미치는 이온들, 예를 들면, 베이스 기판(400)이 유리 기판(glass substrate)일 때, 유리 기판으로부터 일실시예로  $\text{Na}^+$ ,  $\text{K}^+$  등의 이온이 베이스 기판(400)에 형성될 제 1, 제 2 TFT(100,200)로 확산되는 것을 차단하는 역할을 한다.

이처럼 베이스 기판(400)의 일측면 전면적에 걸쳐 버퍼층(410)이 형성된 상태에서 일실시예로 베이스 기판(400)에는 전면적에 걸쳐 일실시예로 아몰퍼스 실리콘 박막층(amorphous silicon film layer)이 증착된다.

이후, 증착된 아몰퍼스 실리콘 박막층은 도시되지는 않았지만 열처리 또는 레이저 가공이 수행됨으로써 아몰퍼스 실리콘으로부터 폴리 실리콘(poly silicon)으로 결정 배열이 바뀌도록 한다.

이처럼 아몰퍼스 실리콘을 처리하는 이유는 폴리 실리콘의 전자 수송 능력이 아몰퍼스 실리콘에 비하여 매우 뛰어나기 때문에, 다른게는 폴리 실리콘을 화학적 기상 증착 방법(CVD) 등을 통하여 직접 베퍼층(410)에 증착하여 형성하여도 무방하다.

이후, 베퍼층(410)의 상면에 형성된 폴리 실리콘 바마층은 패터닝되어 도 1 또는 도 2에 도시된 바와 같이 패터닝된다.

보다 구체적으로, 이를 구현하기 위해서는 먼저, 포토레지스트 바마(미도시)이 스펀 코팅 등의 방법에 의하여 폴리 실리콘 박막층의 상면에 균일하게 도포된 상태에서 원하는 부분에만 즉, 제 1 TFT(100), 제 2 TFT(200)가 형성될 위치에만 포토레지스트 박막이 남겨지도록 노광 및 현상이 진행된 후, 폴리 실리콘 박막층 중 포토레지스트 박막에 의하여 보호받지 못하는 폴리 실리콘 바마층은 에천트(etchant) 또는 플라즈마와 같은 전시 시각 물질에 의하여 사각되어 제거되고, 이후 남아있던 포토레지스트 박막 역시 제거된다.

이와 같은 공정들을 통하여 첨부된 도 1 또는 도 2에는 베퍼층(410)위에 패터닝된 폴리 실리콘 박막층만이 남아 있게 되는데 이하, 이를 "반도체층"이라 칭하기로 한다. 본 발명에서는 패터닝된 폴리 실리콘 박막층 중 제 1 TFT(100)의 위치에 형성된 반도체층을 "제 1 반도체층(110)", "제 2 반도체층(210)"이라 정의하기로 한다.

이와 같이 제 1 TFT(100) 및 제 2 TFT(200)의 위치에 패터닝되어 형성된 제 1, 제 2 반도체층(110, 210)의 상면에는 다시 첨부된 도 3 또는 도 4에 도시된 바와 같이 소정 두께로 게이트 절연마(gate Insulation film; 420)이 증착된다.

이 게이트 절연마(420)은 후술될 제 1 TFT(100)의 제 1 게이트 및 제 1 반도체층(110), 후술될 제 2 TFT(200)의 제 2 게이트와 제 2 반도체층(210)을 상호 절연시키는 절연체 역할을 한다.

이와 같이 게이트 절연마(420)이 형성된 상태에서 게이트 절연마(420)의 상면에는 전면적으로 걸쳐 스퍼터링 방식 등에 의하여 알루미늄(Al), 알루미늄:네오디뮴 합금(Al:Nd) 등과 같은 게이트 메탈(gate metal)이 소정 두께로 증착되어 도시되지 않은 게이트 메탈층이 형성된다.

이후, 증착된 게이트 메탈층은 선택적으로 식각되어 도 19의 등가회로 및 도 5 또는 도 6에 도시된 바와 같이 게이트 라인(430), 충전용 커패시턴스(300)의 제 1 전극(310), 제 1 TFT(100)의 제 1 게이트(120) 및 제 2 TFT(200)의 제 2 게이트(120)가 형성된다.

보다 구체적으로, 제 1 반도체층(110)의 상부에 해당하는 게이트 절연마(420)의 상면에는 제 1 반도체층(110)보다 다소 작은 면적을 갖도록, 제 1 게이트(120)가 형성되고, 게이트 라인(430)은 형성된 제 1 게이트(120)와 일축 단부가 연결되며, 제 1 반도체층(110)으로부터 소정 간격 이격된 상태로 가로 방향으로 통과 되도록 패터닝되어 형성된다.

이때, 제 1 게이트(120)를 기준으로 제 1 반도체층(110)의 왼쪽을 소오스 영역(source area; 130)라 정의하기로 하고, 제 1 게이트(120)를 기준을 제 1 반도체층(110)의 오른쪽을 드레인 영역(drain area; 140)이라 정의하기로 한다.

한편, 도 5 또는 도 6에 도시된 바와 같이 제 1 반도체층(110) 중 정의된 드레인 영역(140)과 소정 간격 이격된 곳으로부터 시작하여 제 1 반도체층(110) 및 제 2 반도체층(210)의 사이에 해당하는 부분에는 소정 면적을 갖는 충전용 커패시턴스(300)의 제 1 전극(310)이 형성된다.

이때, 충전용 커패시턴스(300)의 제 1 전극(310) 중 소정 면적은 제 2 반도체층(210)과 대향하는 곳으로부터는 제 2 반도체층(210)을 향하는 방향으로 도 6에 도시된 바와 같이 연장되어 제 2 반도체층(210)의 상면에 해당하는 게이트 절연마(420)의 상면에 제 2 게이트(220)가 형성된다.

이때, 제 2 게이트(220)를 기준으로 제 2 TFT(200)의 제 2 반도체층(210)의 왼쪽을 드레인 영역(230)이라 정의하기로 하고, 제 2 TFT(200)의 제 2 게이트(220)를 기준으로 제 2 반도체층(210)의 오른쪽을 소오스 영역(240)이라 정의하기로 한다.

이후, 도 7 또는 도 8에 도시된 바와 같이, 게이트 라인(430), 충전용 커페시턴스(300)의 제 1 전극(310), 제 1 게이트(120), 제 2 게이트(220)의 상면에는 소오스/드레인 절연막(source/drain insulating film;440)이 형성된다.

이 소오스/드레인 절연막(440)은 도 19에 도시되며 소오스/드레인 절연막(440)의 상면에 형성될 제 1 TFT(100)의 제 1 소오스 전극(150) 및 제 1 드레인 전극(160), 제 2 TFT(200)의 제 2 소오스 전극(250) 및 제 2 드레인 전극(260)이 소오스/드레인 절연막(440)의 하부에 형성된 게이트 라인(430), 충전용 커페시턴스(300)의 제 1 전극(310), 제 1 게이트(120), 제 2 게이트(220)와 전기적으로 쇼트되는 것을 방지하는 역할을 한다.

이때, 소오스/드레인 절연막(440)중 제 1 전극(310)의 상면에 형성된 부분은 특별히 충전용 커페시턴스(300)의 유전체 역할을 하게 된다.

이와 같은 역할을 하는 소오스/드레인 절연막(440)까지 형성된 상태에서 소오스/드레인 절연막(440)에는 도 9 또는 도 10에 도시된 바와 같이 복수개의 콘택홀(contact hole;172,174,320,272,274)이 형성된다.

이때, 콘택홀(172,174,320,272,274)의 위치는 앞서 정의된 제 1, 제 2 TFT(100,200)의 제 1, 제 2 반도체층(110,210)의 소오스 영역(130,240) 및 제 1, 제 2 TFT(100,200)의 제 1, 제 2 반도체층(110,210)의 드레인 영역(140,230) 및 제 1 반도체층(110)의 드레인 영역(140)과 대향하는 충전용 커페시턴스(300)의 제 1 전극(310)의 소정 위치에 각각 형성된다.

이와 같은 위치에 콘택홀(172,174,320,272,274)이 각각 형성된 상태에서 소오스/드레인 절연막(440)의 상면에는 다시 소오스/드레인 메탈이 스퍼터링 공정 등에 의하여 소정 두께로 증착되어 도시되지 않은 소오스/드레인 메탈층이 형성된다.

이후, 소오스/드레인 메탈층은 다시 도 11 또는 도 12, 도 19에 도시된 바와 같이, 선택적으로 패터닝되어 데이터 라인(450), 제 1 TFT(100)의 제 1 소오스 전극(182) 및 제 1 드레인 전극(184), 공통 전원 라인(460), 충전용 커페시턴스(300)의 제 2 전극(330), 제 2 TFT(200)의 제 2 소오스 전극(282) 및 제 2 드레인 전극(284)이 동시에 형성된다.

보다 구체적으로, 데이터 라인(450)은 앞서 정의된 제 1 반도체층(110)의 소오스 영역(130)과 소정 거리 이격된 곳에 게이트 라인(430)과 직교하는 메탈 라인 형태로 소오스/드레인 메탈층을 패터닝하여 형성하고, 제 1 소오스 전극(182)은 이와 같이 형성된 데이터 라인(450)에 일측 단부가 접속되고, 타측 단부는 앞서 정의된 콘택홀(172)에 접속되도록 소오스/드레인 메탈층을 라인 형태로 패터닝하여 형성한다.

한편, 제 1 드레인 전극(184)은 소오스/드레인 메탈층의 일부가 앞서 정의된 제 1 반도체층(110)의 드레인 영역(140)이 노출되도록 형성된 콘택홀(174)과 연결되도록 하고, 일부는 앞서 정의된 충전용 커페시턴스(300)의 제 1 전극(310)이 노출되도록 형성된 콘택홀(320)을 매개로 연결되도록 패터닝하여 형성된다.

한편, 공통 전원 라인(460)은 소오스/드레인 메탈층을 제 1, 제 2 반도체층(110,210)을 기준으로 데이터 라인(450)과 미러(mirror)된 위치에 라인 형태로 형성되도록 패터닝하여 형성하고, 충전용 커페시턴스(300)의 제 2 전극(330)은 일부가 앞서 설명된 공통 전원 라인(460)으로부터 접촉되도록 하고, 앞서 정의된 소오스/드레인 절연막(440)을 매개로 이미 패터닝된 제 1 전극(310)과 오버랩 되도록 소오스/드레인 메탈층을 패터닝하여 형성한다.

한편, 도 19의 등가회로에 따르면, 제 2 TFT(200)의 제 2 반도체층(210)의 소오스 영역(240)은 공통 전원 라인(460)으로부터 전원이 인가되는 바, 이를 구현하기 위하여 소오스/드레인 메탈층은 공통 전원 라인(460)에 일측 단부가 연결되고, 타측 단부는 제 2 반도체층(210)의 소오스 영역(240)이 개방 되도록 형성된 콘택홀(274)에 연결되도록 패터닝된다.

이와 같이 제 2 반도체층(210)의 소오스 영역(240) 및 공통 전원 라인(460)이 연결되도록 패터닝된 부분을 제 2 소오스 전극(282)이라 정의하기로 한다.

한편, 제 2 반도체층(210)의 드레인 영역(230)에는 소오스/드레인 메탈층의 일부와 연결되도록 도 12에 도시된 바와 같이 제 2 드레인 전극(284)을 형성하거나, 제 2 드레인 전극(284)을 형성하지 않고 콘택홀(272) 내부에만 소오스/드레인 메탈이 남아있도록 패터닝하여도 무방하다.

이후, 도 13 또는 14에 도시된 바와 같이 레이터 라인(450), 제 1 소오스 전극(182), 제 1 드레인 전극(184), 공통 전원 라인(460), 충전용 커패시턴스(300)의 제 2 전극(330), 제 2 소오스 전극(282), 제 2 드레인 전극(284)의 상면에는 소정 두께로 평탄화막(470)이 형성된다.

이후, 도 15 내지 도 16에 도시된 바와 같이 형성된 평탄화막(470) 중 일실시예로 제 2 드레인 전극(284)에 해당하는 부분에는 다시 콘택홀(475)이 형성된 상태에서 콘택홀(475)의 내부 및 평탄화막(470)의 상면에는 다시 도전성 물질이 스퍼터링 등의 방법에 의하여 소정 두께로 증착되어 인터페이스 패드(이하, "캐소드 전극"이라 칭한다; 480)가 형성됨으로서 구동 회로 기판(500)이 제작된다.

이후, 구동 회로 기판(500)에는 별도로 제작된 디스플레이 기판(900)이 얼라인먼트된 후 어셈블리된다.

본 발명에서는 디스플레이 기판(900)을 제작하는 3 개의 실시예 및 이들의 어셈블리 방법을 보다 구체적으로 설명하기로 한다.

이하, 도 17 이하를 참조하여 디스플레이 기판(900)의 3 개의 실시예 및 각 실시예에 따른 어셈블리 과정을 설명하기로 한다.

#### < 제 1 실시예

먼저, 도 17을 참조하면, 소정 면적을 갖는 투명한 기판(610)의 일측면에는 투명한 SiO<sub>2</sub> 또는 SiNx을 적어도 1 번 이상 반복적으로 형성하여 외부로부터 투명 기판을 통하여 유입되는 수분 및 산소가 차단될 수 있도록 수분/산소 차단층(620)을 형성한다.

이때 수분/산소 차단층(620)은 종래 기술에서 언급한 메탈 캔의 역할과 동일한 역할을 수행한다.

이후, 수분 및 산소가 차단되도록 하는 역할을 수행하는 수분/산소 차단층(620)의 상면에는 전면적에 걸쳐 도전성이면서 투명한 인듐 틴 옥사이드(Indium Tin Oxide) 물질로 소정 두께가 되도록 인듐 틴 옥사이드 박막층(630)을 형성한다.

이때, 본 발명에서는 인듐 틴 옥사이드 박막층(630)을 애노드 전극이라 정의하기로 한다.

이어서, 애노드 전극(630)의 상면에는 저분자 또는 고분자 레드 유기 물질, 그런 유기 물질, 블루 유기 물질 중 어느 하나로 유기 발광층(640)을 형성된 후, 유기 발광층(640)의 상면에는 메탈 물질로 캐소드 전극(650)을 형성한다.

물론 이와 같은 방식 수분/산소 차단층(620)을 제외하면 종래 후면 발광 구조와 동일한 구성을 갖는다.

이후, 도 18 또는 도 20에 도시된 바와 같이 디스플레이 기판(900) 및 구동 회로 기판(500)의 어셈블리가 수행된다.

어셈블리는 진공 환경이 형성된 진공 캠버(미도시) 등의 내부에서 디스플레이 기판(900)의 캐소드 전극(650)과 구동 회로 기판(500)에 형성된 인터페이스 패드(480)가 마주보도록 얼라인먼트한 상태에서 디스플레이 기판(900)의 에지와 구동 회로 기판(500)의 에지를 자외선 경화제(910)를 도포한 상태에서 자외선으로 이들을 경화시킨다.

이후, 경화된 디스플레이 기판(900) 및 구동 회로 기판(500)을 대기 중으로 꺼낼 경우 진공압에 의하여 디스플레이 기판(900) 및 구동 회로 기판(500)은 강하게 밀착되어 구동 회로 기판(500)의 인터페이스 패드(480)로부터 구동 회로 기판(500)의 캐소드 전극(640)으로 전류가 인가된다.

한편, < 실시예 1과 같이 구동 회로 기판(500)의 인터페이스 패드(480) 및 디스플레이 기판(900)의 캐소드 전극(640)을 진공압에 의하여 밀착시킬 경우, 어센블리된 유기 전계발광 디바이스의 좌굴 등에 의하여 디스플레이 기판(900)과 구동 회로 기판(500)의 인터페이스 패드(480)의 접촉력이 약해지거나 인터페이스 패드(180) 및 캐소드 전극(640)의 접촉저항에 따른 신호 지연 및 신호의 세기가 변경될 수 있다.

이는 상세하게 후술될 < 실시예 2 및 < 실시예 3에 의하여 극복될 수 있다.

#### < 실시예 2

첨부된 도 21에는 < 실시예 2에 따른 구동 회로 기판(500)이 도시되어 있는 바, 구동 회로 기판(500)은 앞서 상세하게 설명한 도 1 내지 도 16의 공정을 거친으로써 인터페이스 패드(480)가 형성된 후, 인터페이스 패드(480)의 상면에 다시 도전성 특성이 뛰어난 범프 패드(bump pad;490)가 형성된 것이 도시되어 있다.

이때, 인터페이스 패드(480)는 다시 Al, Pd, Au, Ti, TiW, NiCr, Cr, Nd, AlNd, Pt 등 전도성 메탈 혹은 메탈 합금 또는 도전성 수지로 사용할 수 있으며, 인터페이스 패드(480)의 두께는 약 300 Å ~ 20000 Å 정도이다.

한편, 범프 패드(490)는 전기도금, 무전해 도금, 스퍼터링 방식 증차, 스판 코팅, 화학적 기상 증차 등의 방법에 의하여 구현됨은 물론 열처리를 통해 Ni, Au, PbSn, In, 폴리머를 주성분으로 하여 형성할 수 있다.

이와 같이 범프 패드(490)까지 형성된 구동 회로 기판(480)은 다시 디스플레이 기판(500)과 어센블리된다.

디스플레이 기판(600)은 첨부된 도 22 내지 도 25의 과정을 통하여 제작되는 바, 디스플레이 기판(600)은 다시 디스플레이에 적합한 면적을 갖도록 마련된 유리 기판과 같은 투명 기판(610), 투명한 캐소드 전극(620), 유기 발광층(630), 애노드 전극(640) 및 절연막(650)으로 구성된다.

구체적으로, 첨부된 도 22에 도시된 바와 같이 투명 기판(610)의 상면에는 투명하면서도 전도성이 있는 인듐 턴 옥사이드 물질이 소정 두께로 증착되어 형성된 박막층인 투명 캐소드 전극(620)이 소정 두께로 균일하게 형성된다.

이후, 투명 캐소드 전극(620)의 상면에는 도 23에 도시된 바와 같이 다시 유기 발광층(630)이 형성될 위치에만 개구(645)가 형성된 3 장의 쉐도우 마스크(shadow mask;640)를 사용하여 레드 유기 발광층, 그린 유기 발광층 또는 블루 유기 발광층 중 어느 하나인 유기 발광층(630)이 형성된다.

이후, 유기 발광층(630)의 상면에는 도 24에 도시된 바와 같이 개구(655)가 형성된 상태에서 쉐도우 마스크(650)를 통하여 도전성 메탈 물질로 애노드 전극(660)이 소정 두께로 형성된다.

이어서, 애노드 전극(660)의 상면에는 도 25에 도시된 바와 같이 보호막(670)이 소정 두께로 도포된 상태에서 애노드 전극(660)의 상면만이 노출되도록 포토리소그래피 공정에 의하여 도시되지 않은 포토레지스트 박막이 코팅 - 현상 - 노광된 후, 시각 됨으로써 애노드 전극(660)이 외부로 노출된 디스플레이 기판(600)이 제작된다.

이후, 제작이 완료된 디스플레이 기판(600)은 도 26에 도시된 바와 같이 전면적에 걸쳐 소정 두께를 갖으며, 가압되었을 때 양방향으로 전기가 통하며, 접착성이 있는 이방성 도전 필름(ACF, Anisotropic Conductive Film;680)이 접착된다.

보다 구체적으로 이방성 도전 필름(680)은 접착물질의 사이에 알갱이 형태를 갖는 도전성 입자가 매우 미세한 간격으로 일렬 배열되도록 하여 가압되었을 경우, 도전성 입자와 입자를 통하여 전자의 흐름이 이루어지도록 하는 역할을 한다.

이와 같은 이방성 도전 필름(680)은 도전성 물질과 도전성 물질을 솔더링 이외에 어택치하면서도 도전성 물질로부터 도전성 물질로 전류가 흐를 수 있도록 하는데 주로 쓰인다.

이후, 첨부된 도 27을 참조하면, 이방성 도전 필름(680)이 부착된 디스플레이 기판(600)에는 앞서 설명한 도 21의 구동 회로 기판(500)이 얼라인먼트된다.

구체적으로 구동 회로 기판(500)의 범프 패드(490)는 이방성 도전 필름(680)에 감싸여진 애노드 전극(660)에 해당하는 부분과 얼라인먼트된 상태에서 열 및 압력이 가해지면서 이방성 도전 필름(680) 중 구동 회로 기판(500)의 범프 패드(490)와 애노드 전극(660)의 사이에 개재된 부분은 가압되어 상호 접착됨은 물론 범프 패드(490)로부터 애노드 전극(660)으로 전자의 이동이 가능케 된다.

이때, 전자의 이동이 발생하지 않는 부분에 해당하는 이방성 도전 필름(680)은 유기 발광층(630)으로 산소 및 수분이 침투되는 것을 방지하는 즉, 종래 기술에 있어 메탈 캔과 유사한 역할을 수행한다.

### < 실시예 3

첨부된 도 28 내지 도 32에는 본 발명에 의한 디스플레이 기판(700)의 다른 실시예가 도시되어 있다.

첨부된 도 28을 참조하면, 투명한 글래스 기판(710)의 일측면 전면적에는 인듐 턴 옥사이드 물질로 소정 두께를 갖는 투명한 캐소드 전극(720)이 형성되고, 캐소드 전극(720)의 상면에는 포토레지스트, 아크릴, 폴리이미드 등으로 폴리머 범프(polymer bump;730)가 패터닝된다.

이때, 폴리머 범프(730)의 위치는 유기 발광층이 형성될 부분(가상선으로 도시된 도면번호 731)과 인접한 곳에 형성되도록 하고, 폴리머 범프(730)의 높이 또한 후술될 유기 발광층 및 애노드 전극의 높이를 합산한 높이보다 다소 높도록 한다.

이후, 첨부된 도 29에 도시된 바와 같이 유기 발광층이 형성될 부분(731)의 면적보다 다소 넓은 면적을 갖도록 개구(745)된 쉐도우 마스크(740)를 얼라인먼트한다.

이때, 쉐도우 마스크(740)의 얼라인먼트는 쉐도우 마스크(740)의 개구(745) 중 일부를 앞서 설명한 폴리머 범프(730)에 걸쳐지도록 한 후, 유기 발광층을 이루는 물질이 개구(745)를 통하여 캐소드 전극(720)에 형성되도록 하되, 쉐도우 마스크(740)의 개구(745)에 의하여 실제 유기 발광층(750)은 필요한 유기 발광층의 면적보다 다소 크게 형성된다.

이때, 유기 발광층(750)의 일부는 폴리머 범프(730)의 경사면과 폴리머 범프(730)의 상면 일부에 까지 형성된다.

이후, 첨부된 도 30에 도시된 바와 같이 유기 발광층(750)의 상면에는 메탈 물질이 다시 증착되어 애노드 전극(760)이 형성되는 바, 애노드 전극(760) 역시 유기 발광층(750)과 동일한 형태로 증착되어 형성된다.

이때, 이와 같은 방식으로 유기 발광층(750) 및 애노드 전극(760)을 형성하는 이유로는 정밀한 공정을 진행하기 위해서는 쉐도우 마스크(740)의 두께가 얇을수록 유리하지만 쉐도우 마스크(740)의 두께를 얇게 구현할수록 쉐도우 마스크(740)의 처짐 또는 흠이 발생하게 되어 원하는 유기 발광층(750) 및 애노드 전극(760)의 지정된 패턴 면적, 즉, 유기 발광층(750) 및 애노드 전극(760)의 면적을 확보할 수 없게 된다.

본 발명에서 이와 같이 쉐도우 마스크(740)의 일부를 미리 형성된 폴리머 범프(730)에 안정적으로 지지시키는 이유는 쉐도우 마스크(740)의 처짐 및 흠이 발생하지 않도록 한 상태에서 공정을 하기 위함이다.

또한, 이와 같은 방식으로 형성된 유기 발광층(750) 및 애노드 전극(760)의 일부는 폴리머 범프(730)의 상면에 위치할 수밖에 없게 되고, 이처럼 폴리머 범프(730)의 상면에 위치한 유기 발광층(750) 및 애노드 전극(760)의 일부는 상세하게 후술되지만, 구동 회로 기판의 범프 패드와 접촉되었을 때, 본당 특성을 증가시키며, < 실시예 2에서와 같이 별도의 보호막 없이도 상호 인접한 2 개의 애노드 전극이 상호 쇼트되는 것을 방지하는 역할을 한다.

한편, 첨부된 도 31을 참조하면, 이와 같이 폴리머 범프(730)의 상면에 유기 발광층(750) 및 애노드 전극(760)이 형성된 상태에서 디스플레이 기판(700)의 전면적에 걸쳐 < 실시예 2와 같이 이방성 도전 필름(770)이 접착된다.

이후, 도 31에 도시된 바와 같이 디스플레이 기판(700)은 구동 회로 기판(500)에 열라인먼트된다.

보다 구체적으로, 구동 회로 기판(500)의 범프 패드(480)는 디스플레이 기판(700)의 폴리머 범프(730)의 상면에 형성된 유기 발광층(750) 및 애노드 전극(760)과 열라인먼트된 상태에서 도 32에 도시된 바와 같이 열, 압력, UV가 가해지면서 이방성 도전 필름(770)이 가압되고, 이로 인해 디스플레이 기판(700)의 애노드 전극(760)과 구동 회로 기판(500)의 범프 패드(490)는 전자의 이동이 가능해진다.

한편, 디스플레이 기판(700)의 애노드 전극(760)과 구동 회로 기판(500)의 범프 패드(490)를 어셈블리하는 방법의 다른 실시예로는 범프 패드(490)에 용융 온도가 낮은 솔더를 도포한 상태에서 솔더를 용융시켜 구동 회로 기판(500)의 범프 패드(490)와 디스플레이 기판(700)의 애노드 전극(760)을 상호 솔더링하여도 무방하다.

#### 발명의 효과

이상에서 상세하게 설명한 바에 의하면, 디스플레이 기판과 구동 회로 기판을 개별적으로 제작한 후 어셈블리 할 수 있음으로 종래 TFT 및 커패시턴스에 의하여 낮았던 개구율을 극대화시킬 수 있으며, 유기 발광층이 수분 및 산소로부터 열화 되는 것을 방지하기 위해 필요하던 메탈 켄이 불필요하며, 후면 발광 구조가 아닌 전면 발광 구조를 채용할 수 있음은 물론 개구율을 향상시키기 위해 제약받던 TFT 및 커패시턴스의 배치 및 크기 제약이 극소화되어 TFT 및 커패시턴스의 불량률을 극소화할 수 있는 등 매우 다양한 효과를 갖는다.

#### (57) 청구의 범위

##### 청구항 1.

제 1 기판, 상기 제 1 기판의 소정 위치에 형성되어 디스플레이에 필요한 제 1 디스플레이 전원을 외부로 공급하는 제 1 디스플레이 전원 처리수단, 상기 제 1 디스플레이 전원 처리수단의 출력단에 일측 단부가 연결되어 제 1 디스플레이 전원이 공급되는 전원인가 패드를 포함하는 구동 회로 기판과;

제 2 기판, 상기 제 2 기판에 형성되어 제 2 디스플레이 전원이 공급되는 투명한 제 1 전극, 상기 제 1 전극의 상면에 형성되어 소정 파장의 빛을 발생시키는 유기 발광층, 상기 유기 발광층의 상면에 형성되며 상기 전원인가 패드와 전기적으로 접속되는 제 2 전극으로 구성된 디스플레이 기판을 포함하는 유기 전계발광 디바이스.

##### 청구항 2.

제 1 항에 있어서, 상기 제 1 디스플레이 전원 처리수단과 상기 전원인가 패드의 사이에는 절연부재가 개재되고, 상기 전원인가 패드와 상기 출력단은 상기 절연부재에 형성된 콘택홀을 통하여 전기적으로 연결되는 유기 전계발광 디바이스.

##### 청구항 3.

제 1 항에 있어서, 상기 제 2 기판과 상기 제 1 전극의 사이에는 산소/수분 차단층이 더 형성된 유기 전계발광 디바이스.

##### 청구항 4.

제 3 항에 있어서, 상기 산소/수분 차단층은 SiNx, SiO<sub>2</sub>를 적어도 1 번 이상 반복적으로 적층하여 형성된 유기 전계발광 나마이스.

##### 청구항 5.

제 1 항에 있어서, 상기 제 1 기판 및 상기 제 2 기판은 진공상태에서 조립되며, 상기 제 1 기판의 에지와 상기 제 2 기판의 에지는 자외선에 의하여 경화되는 자외선 경화제에 의하여 셀링되는 유기 전계발광 디바이스.

청구항 6.

제 1 항에 있어서, 상기 전원인가 패드 및 상기 제 2 전극은 도전성 접착물질에 의하여 접착되는 유기 전계발광 디바이스.

청구항 7.

제 6 항에 있어서, 상기 도전성 접착물질은 이방성 도전 필름(Anisotropic conductive film)인 유기 전계발광 디바이스.

청구항 8.

제 1 항에 있어서, 상기 전원인가 패드의 상면에는 도전성 범프 패드(bump pad)가 형성되고, 상기 제 2 전극의 상면에는 상기 제 2 전극만이 노출되도록 보호막이 형성되며, 상기 도전성 범프 패드와 상기 제 2 전극 중 노출된 부분은 도전성이면서 수분/산소와 상기 유기 발광층이 접촉되는 것을 방지하는 도전성 접착물질에 의하여 접착되는 유기 전계발광 디바이스.

청구항 9.

제 1 항에 있어서, 상기 전원인가 패드의 상면에는 도전성 범프 패드가 형성되고, 상기 디스플레이 기판의 제 1 전극의 상면에는 상기 도전성 범프 패드와 대향하는 곳에 폴리머 범프가 형성되며, 상기 폴리머 범프의 상면 및 상기 제 1 전극의 상면에는 소정 면적으로 상기 유기 발광층 및 상기 제 2 전극이 형성되며, 상기 도전성 범프 패드와 상기 제 2 전극은 도전성이면서 수분/산소와 상기 유기 발광층이 접촉되는 것을 방지하는 도전성 접착물질에 의하여 접착되는 유기 전계발광 디바이스.

청구항 10.

제 9 항에 있어서, 상기 유기 발광층 및 상기 제 2 전극은 상기 폴리머 범프의 상면 중 일부에만 형성되는 유기 전계발광 디바이스.

청구항 11.

소정 면적을 갖는 제 1 기판의 소정 위치에 디스플레이에 필요한 제 1 디스플레이 전원을 외부로 공급하는 제 1 디스플레이 전원 처리수단을 형성하는 단계, 상기 제 1 디스플레이 전원 처리수단을 절연 부재에 의하여 절연시킨 상태에서 상기 제 1 디스플레이 전원 처리수단의 출력단자를 상기 절연부재의 상면으로 연장시켜 전원인가 패드를 형성하여 구동 회로 기판을 제작하는 단계 및

소정 면적을 갖는 투명한 제 2 기판에 제 1 전극을 형성하는 단계, 상기 제 1 전극의 상면에 유기 발광층을 형성하는 단계, 상기 유기 발광층의 상면에 제 2 전극을 형성하여 디스플레이 기판을 제작하는 단계를 포함하며,

상기 구동 회로 기판 및 상기 디스플레이 기판을 진공 환경에서 상호 얼라인먼트하여 상기 디스플레이 기판의 상기 제 2 전극 및 상기 구동 회로 기판의 상기 전원인가 패드를 가압하여 상호 밀착시키는 단계와;

상기 제 1 기판 및 상기 제 2 기판의 에지에 접착 물질을 도포하여 실링(sealing)을 수행하는 단계를 포함하는 유기 전계발광 디바이스의 제조 방법.

청구항 12.

제 11 항에 있어서, 상기 출력단자를 상기 절연부재의 상면으로 연장시키는 단계는 상기 절연 부재 중 상기 출력단자에 해당하는 부분에 콘택홀을 형성하는 단계와;

상기 콘택홀 내부 및 상기 절연 부재의 외부에 소정 두께로 도전성 물질을 형성하는 단계를 포함하는 유기 전계발광 디바이스의 제조 방법.

청구항 13.

제 11 항에 있어서, 상기 제 2 기판과 상기 제 1 전극의 사이에 해당하는 상기 제 2 기판에는 수분/신소를 차단하는 수분/신소 차단층이 더 형성되는 유기 전계발광 디바이스의 제조 방법.

청구항 14.

소정 면적을 갖는 제 1 기판의 소정 위치에 디스플레이에 필요한 제 1 디스플레이 전원을 외부로 공급하는 제 1 디스플레이 전원 처리수단을 형성하는 단계, 상기 제 1 디스플레이 전원 처리수단을 절연 부재에 의하여 절연시킨 상태에서 상기 제 1 디스플레이 전원 처리수단의 출력단자를 상기 절연부재의 상면으로 연장시켜 전원인가 패드를 형성하는 단계, 상기 전원인가 패드의 상면에 도전성 범프 패드를 형성하여 구동 회로 기판을 제작하는 단계 및;

소정 면적을 갖는 투명한 제 2 기판에 제 1 전극을 형성하는 단계, 상기 제 1 전극의 상면에 유기 발광층을 형성하는 단계, 상기 유기 발광층의 상면에 제 2 전극을 형성하는 단계, 상기 제 2 전극만이 노출되도록 보호막을 형성하여 디스플레이 기판을 제작하는 단계를 포함하며,

상기 디스플레이 기판 중 보호막이 형성된 일측면, 상기 구동 회로 기판 중 도전성 범프 패드가 형성된 일측면 중 어느 하나에 도전성 접착물질을 형성하는 단계와;

상기 도전성 범프 패드와 상기 제 2 전극 사이에 전자의 흐름이 발생하도록 상기 도전성 접착 물질을 변형시키는 단계를 포함하는 유기 전계발광 디바이스의 제조 방법.

청구항 15.

제 14 항에 있어서, 상기 도전성 접착 물질은 이방성 도전 필름으로, 상기 도전성 접착 물질의 변형은 열, 압력, 자외선 중 어느 하나 이상에 의하여 수행되는 유기 전계발광 디바이스의 제조 방법.

청구항 16.

소정 면적을 갖는 제 1 기판의 소정 위치에 디스플레이에 필요한 제 1 디스플레이 전원을 외부로 공급하는 제 1 디스플레이 전원 처리수단을 형성하는 단계, 상기 제 1 디스플레이 전원 처리수단을 절연 부재에 의하여 절연시킨 상태에서 상기 제 1 디스플레이 전원 처리수단의 출력단자를 상기 절연부재의 상면으로 연장시켜 전원인가 패드를 형성하는 단계, 상기 전원인가 패드의 상면에 도전성 범프 패드를 형성하여 구동 회로 기판을 제작하는 단계 및;

소정 면적을 갖는 투명한 제 2 기판에 제 1 전극을 형성하는 단계, 상기 제 1 전극의 상면 중 상기 도전성 범프 패드와 대향하는 곳에 폴리머 범프가 놀출되도록 형성하는 단계, 상기 폴리머 범프의 상면으로부터 상기 제 1 전극의 소정 위치까지 유기 발광층을 형성하는 단계, 상기 유기 발광층의 상면에 제 2 전극을 형성하는 단계를 포함하며,

상기 디스플레이 기판 중 보호막이 형성된 일측면, 상기 구동 회로 기판 중 도전성 범프 패드가 형성된 일측면 중 어느 하나에 도전성 접착물질을 형성하는 단계와;

상기 도전성 범프 패드와 상기 제 2 전극 사이에 전자의 흐름이 발생하도록 상기 도전성 접착 물질을 변형시키는 단계를 포함하는 유기 전계발광 디바이스의 제조 방법.

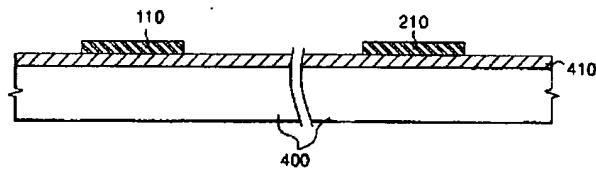
## 청구항 17.

제 16 항에 있어서, 상기 유기 발광층 및 상기 제 2 전극을 형성하는 단계는 형성될 상기 유기 발광층, 상기 제 2 전극은 물론 상기 폴리머 범프의 상면이 포함되는 개구 크기를 갖는 쉐도우 마스크를 상기 폴리머 범프에 안착시키는 단계 와;

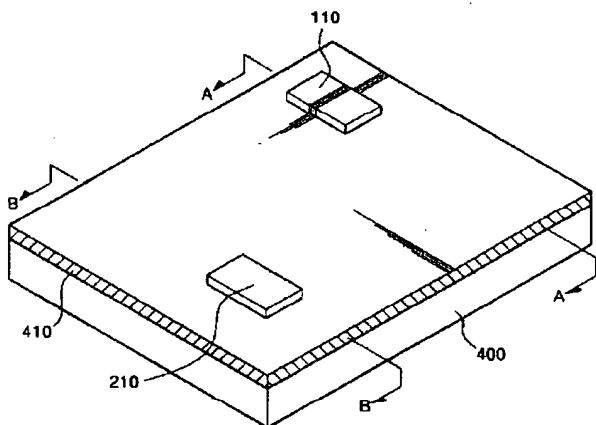
상기 쉐도우 마스크를 통하여 상기 유기 발광층, 상기 제 2 전극을 순차적을 형성하는 단계를 포함하는 유기 전계발광 디바이스의 제조 방법.

도면

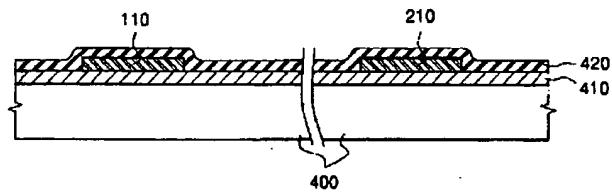
도면 1



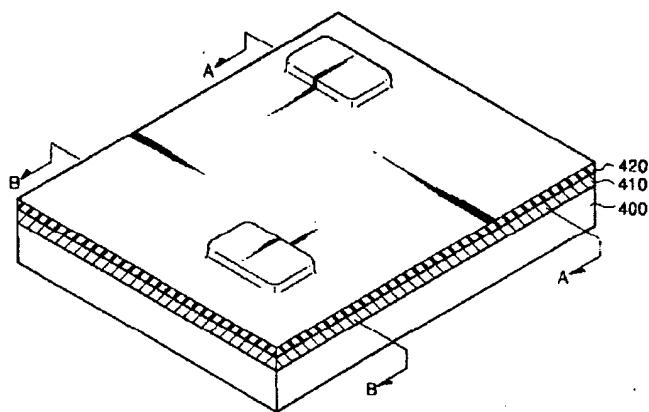
도면 2



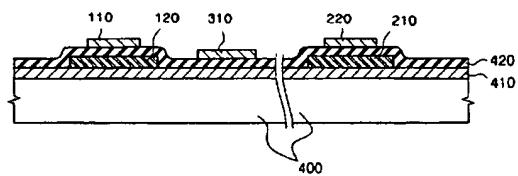
도면 3



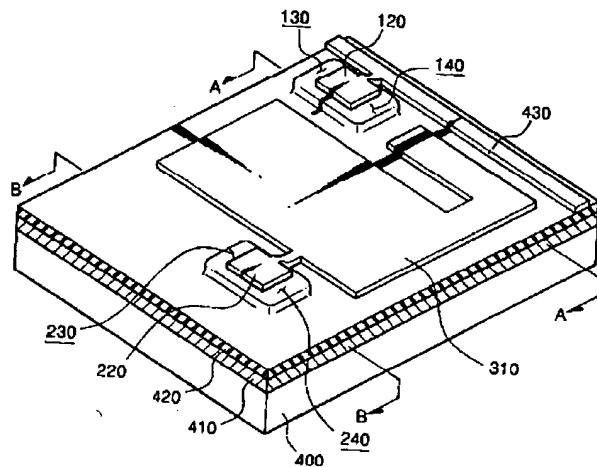
도면 4



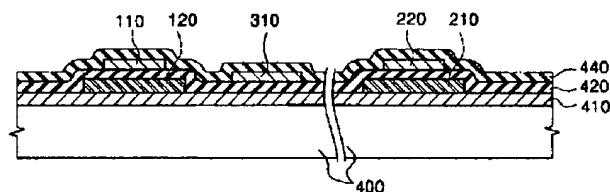
도면 5



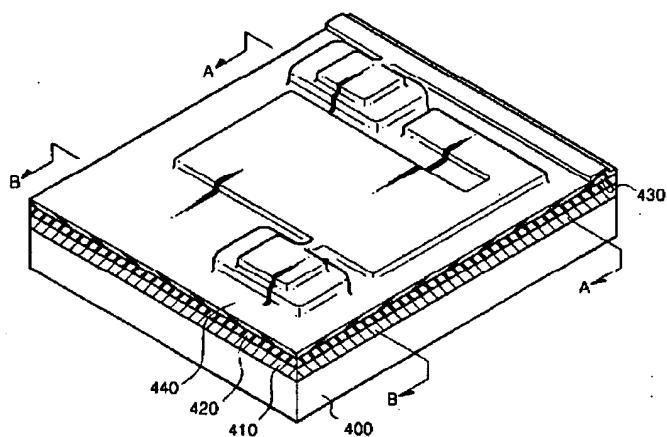
도면 6



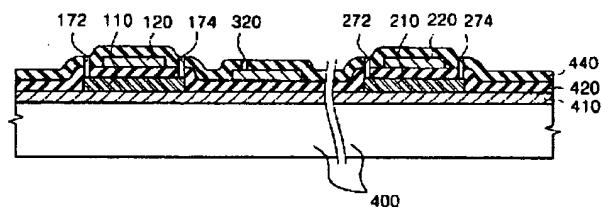
도면 7



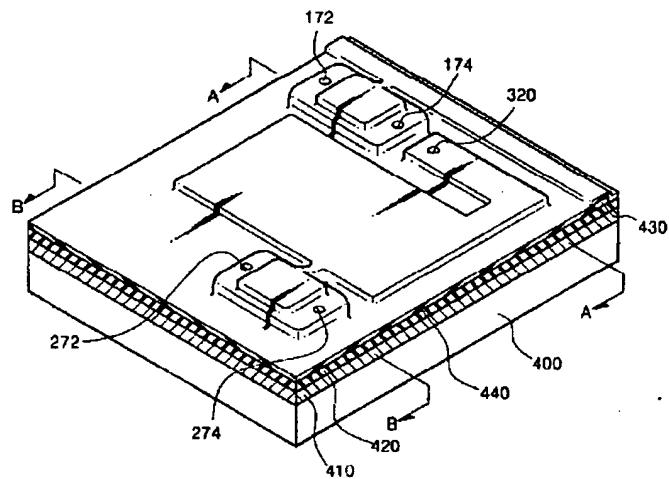
도면 8



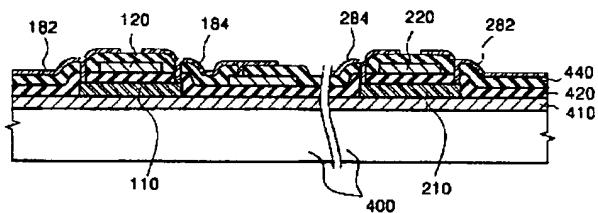
도면 9



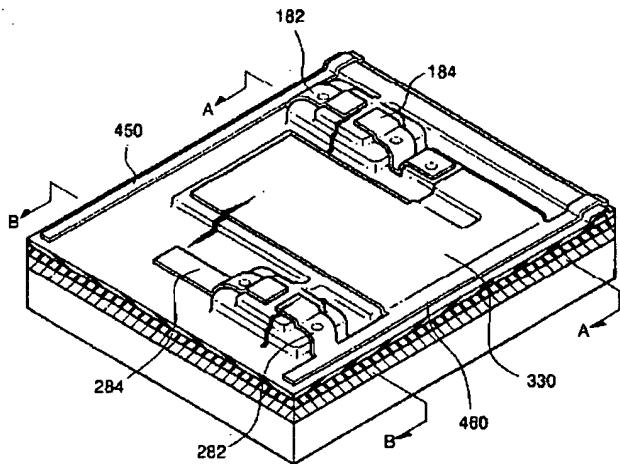
도면 10



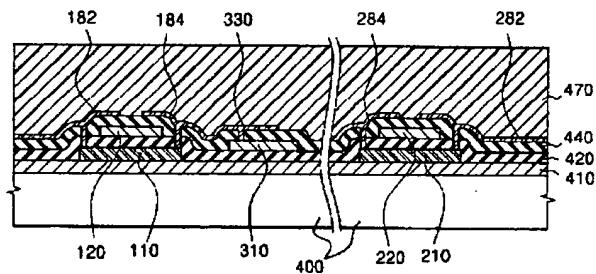
도면 11



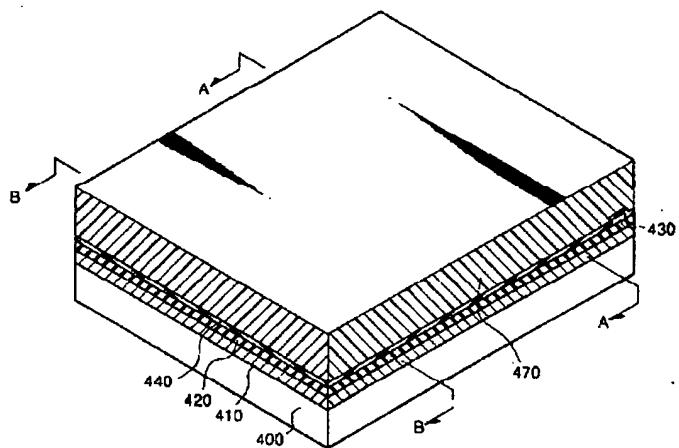
도면 12



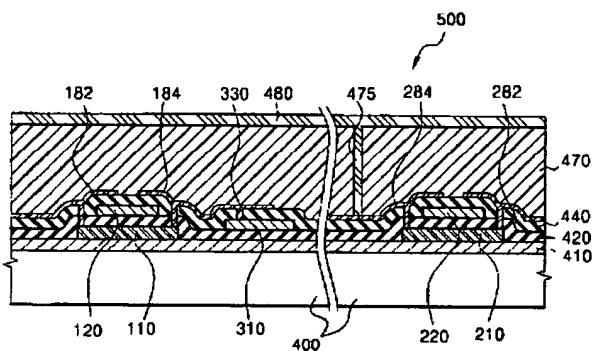
도면 13



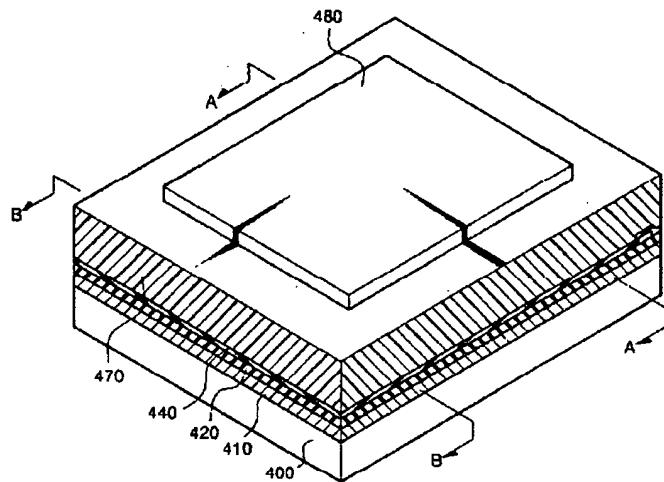
도면 14



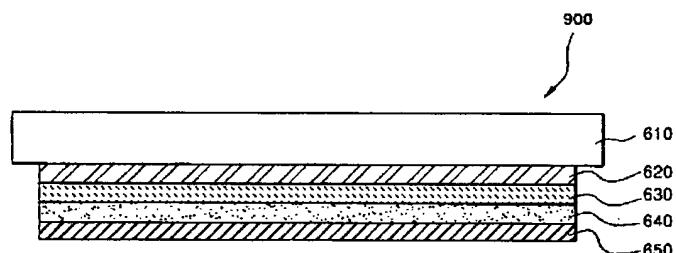
도면 15



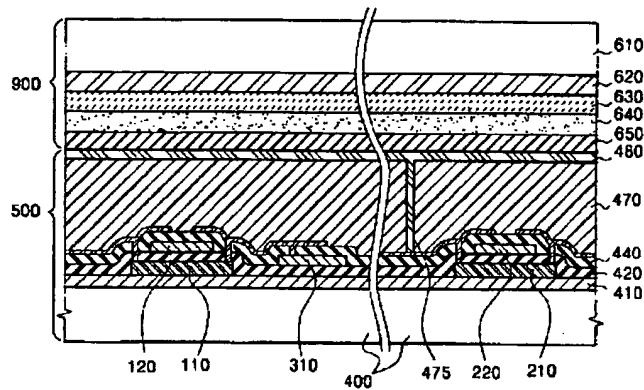
도면 16



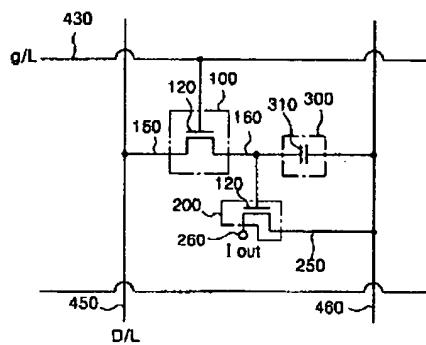
도면 17



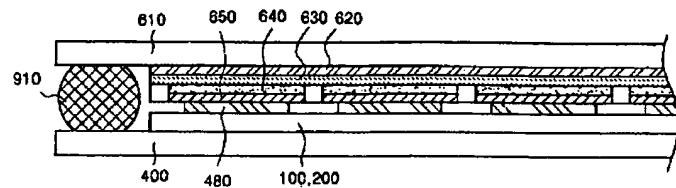
도면 18



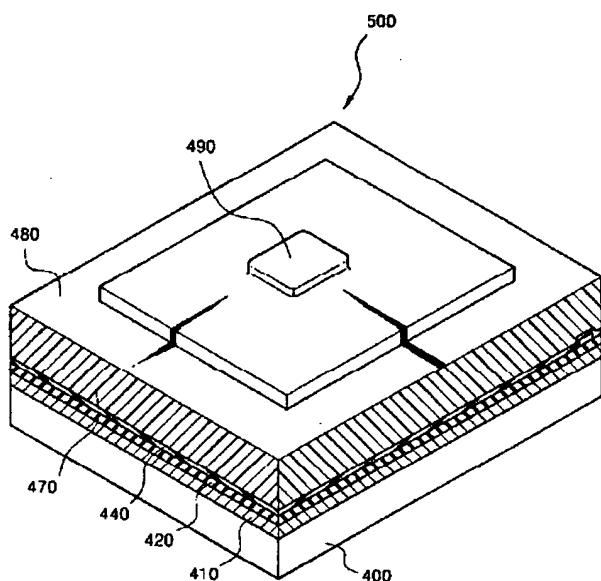
도면 19



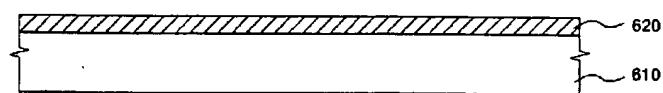
도면 20



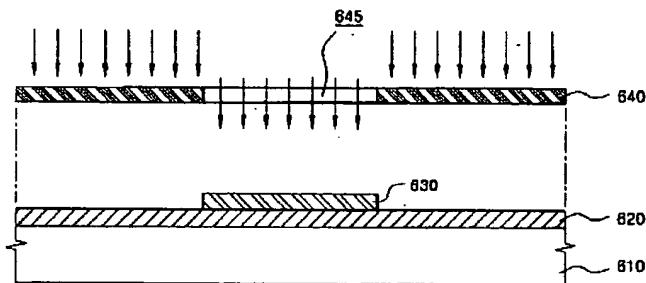
도면 21



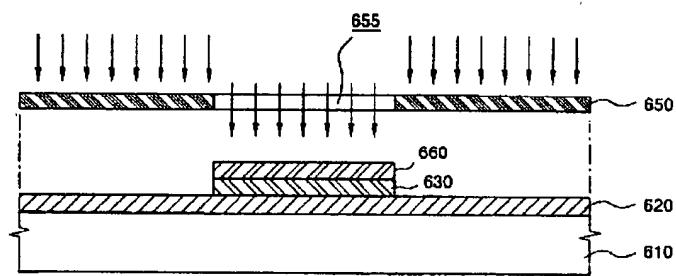
도면 22



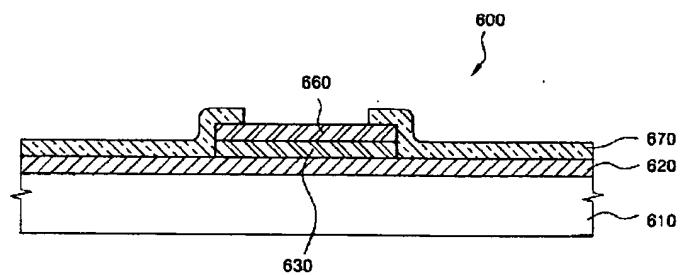
도면 23



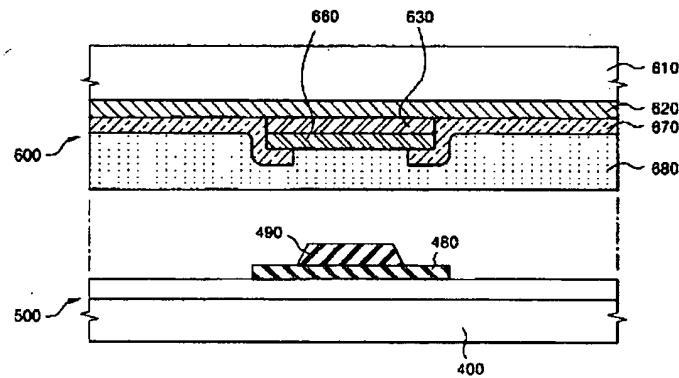
도면 24



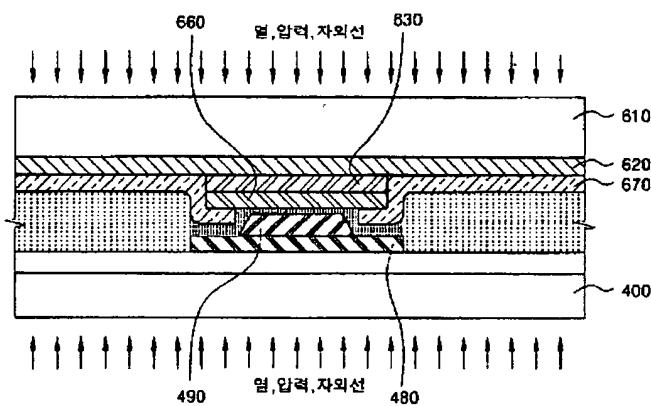
도면 25



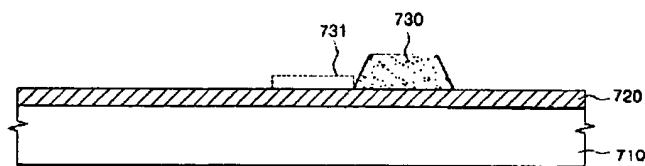
도면 26



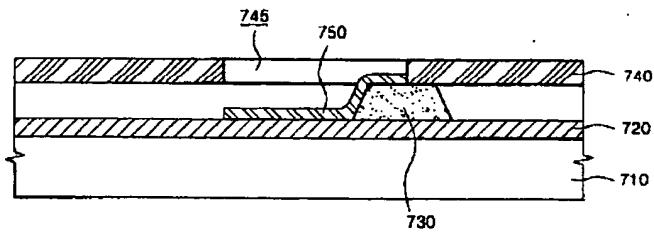
도면 27



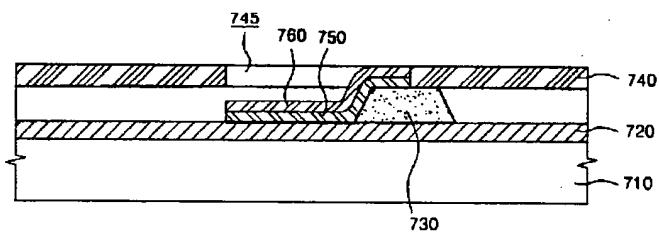
도면 28



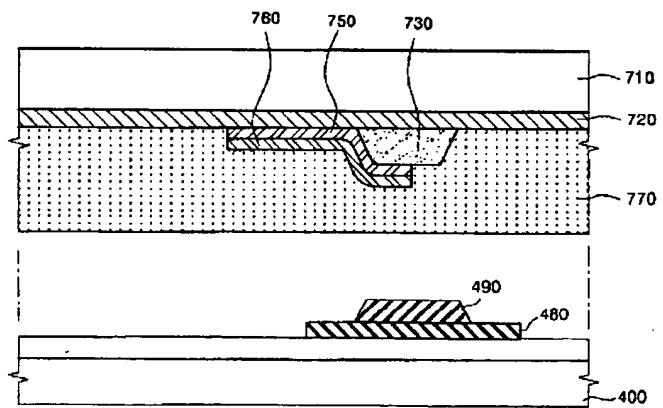
도면 29



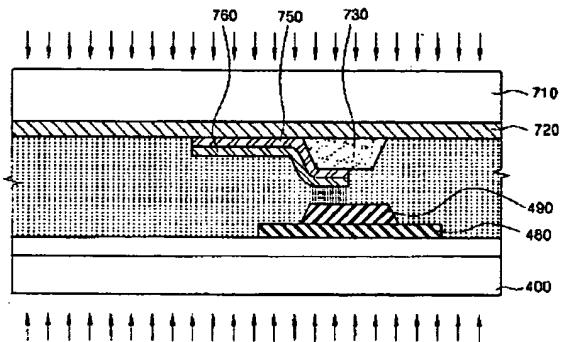
도면 30



도면 31



도면 32



## PRIOR ARTS LIST

No	Company	Patent No.	Filing date	Priority No.	Priority Date
1	Canon	US6175345	1998-5-28	JP09-143836	1997-6-2
2	NHK	JP2001-117509	1999-10-14	-	1999-10-14
3	SEIKO EPSON	US20020158577	2001-7-6	JP 2000207390	2000-7-7
4	Samsung SDI	KR0365519	2000-12-14	KR2000-0076528	2000-12-14
5	Microemissive Displays Limited	WO02078101	2002-3-21	GB 0107236.2	2001-3-22
6	IBM	US6548961	2001-6-22	-	2001-6-22